

第1章

システム設計の視点で見た低消費電力技術

―― 回路からソフトまで，広範な視点で電力消費を考える

西村芳一

ここでは電子機器開発の消費電力問題について解説する．電子機器の低消費電力化のためには，「ハードウェアか，ソフトウェアか」，「アナログか，ディジタルか」，「どのような電源回路を採用するのか」など，システム構成の検討が重要になる．また，電源電圧の動的制御など，特殊なテクニックも多々存在する．こうした消費電力対策は地味な作業が多いが，後からリカバリのきかない重要な作業である．　（編集部）

本稿では低消費電力設計をテーマに，電子機器の開発現場を取り巻く状況や背景となる技術，低消費電力化のために用いられる手法などについて解説していきます．

1 今なぜ低消費電力が注目されるのか

パソコンのCPU（central processing unit）だけで80W，100Wの電力を消費するのがあたりまえの世の中です．多くの人が，せいぜいインターネットをのぞいたり，Officeソフトを使うためだけにこのような大電力を消費しても気にしない“ぜいたく”な機器があります．その一方で，**写真1**のようなごく限られた太陽電池のエネルギーで，連続稼働させなければならない装置もあります．その間にある設計思想の違いは非常に大きなものです．

しかしパソコンも，CPUのクロック周波数の競争がひと段落ついてからは，隠れていた熱の問題がクローズアップされてきています．また，熱が原因で，LSIの高集積化の進展にもかげりが見えてきています．おりしも石油の価格が予想もしなかったような高値をつけ，世の中のトレンドとして一挙に低エネルギー消費の機器に関心が移ってきています．さらに，地球温暖化の対応としても低エネルギー消費が広く注目を集めています．電子業界の商品設計において，低消費電力化がますます求められています．



写真1　低消費電力機器の例

気温，湿度，風速，気圧，雨量などの気象データを収集し，それらの情報を無線を使って定期的に伝送する装置「VantagePRO」．野外のどこにでも取り付けられるように，本体に組み込まれた太陽電池ですべて動作する．

● 企画に困ったときは小型・高性能・高機能

電子機器の開発現場では，商品化を成功に導くための法則が語りつがれてきました．とくに競合他社がひしめく商品の新企画では，なかなか他社と差異化することが難しくなってきます．そのような行き詰まったときの製品企画の方向性として，「とにかく，競合他社より小型・高性能・高機能を目ざせ！」ということが言われてきました．

例えば，昔，ラジオでは大型の真空管式のものが多くを占めていた時代に，トランジスタを使って小型で電池駆動を可能とした日本発の商品が世界的に大ヒットしました．このように上記の法則は，現在に至っても日本の“もの作

KeyWord　低消費電力，地球温暖化，シリーズ・レギュレータ，スイッチング・レギュレータ，FCC，アクティブ・ノイズ・キャンセラ，CMOS，電力管理，不要輻射，インターフェース電圧，非同期回路

り”の中で脈々と生きています．また，これが日本の商品の強みとなっています．

携帯電話の歴史を見てもそれはわかります．初めはとても“携帯”とは言いがたいショルダホン（肩掛け型）が登場しました．それでも屋外で自由に電話をかけられることは，従来のライフ・スタイルを変える画期的なこととして，注目を集めました．それ以降の携帯電話の進化の歴史は，みなさんもご存じのとおりです．市場に参入するメーカの間でし烈な競争が繰り広げられており，より小型，より薄型，そしてより高機能へと向かっています（**図1**）．

機器の小型化とポータブルな機能を実現するために，表向きはあまり目立ちませんが，実は絶え間ない技術開発が続けられています．技術者は一般に，目立つ最新の高度な技術に注目しがちです．しかし，「電気をできるだけ使わない」という地味な設計技術も，今日の設計技術者にとっては必須のものとなっています．

● ユビキタス時代は「電池の時代」

身の回りの電気製品を見渡せば，電池で動作しているものが実に多いことに気がつきます．とくに携帯電話に代表される情報端末機器は，屋外で使うことが一般的です．家庭の100Vのコンセントから自由に電気をとれる環境ではなく，電池で長時間動作するものでなければなりません．このように使う場所を限定しないユビキタス機器の時代は「電池の時代」とも言え，何より低消費電力設計が求められます．

それらに使われる電池の高性能化，小型化も進んでいますが，システム設計の段階で，できるだけ電力を消費しないものを設計しなければなりません．しかし，このような低消費電力の技術は，まとまった体系的に学べる学問にはなっておらず，地道に努力を続けた経験の積み重ね，つまりノウハウの塊です．

筆者は携帯電話（端末）を設計したことはありませんが，



図1　小型・高機能・高性能
屋外で電話がかけられる画期的なショルダホン．今から見ると，とても“携帯電話”とは言えない．それが，小型化，高機能化，高性能化が進み，現在の携帯電話に変わっていった．

身近な例題として，携帯電話の低消費電力設計について考えてみたいと思います．

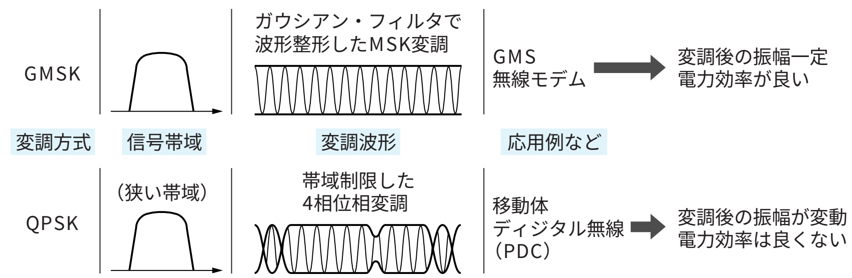
1）送信機

携帯電話がもっとも電力を使うのは，電波を送信するときです．したがって，まず最初に，もっとも電池のもちを左右する送信の電力効率を考えなければなりません．電力効率は，**図2**のように変調方式によって異なります．ただし，純粋な変調の電力効率だけを評価して変調方式が選ばれることはありません．それに付随して使われるエラー訂正による符号化利得と組み合わせて，総合的に選ばれることでしょう．さらには，**図3**のように基地局の近くでは電力を落とし，遠くでは電力を引き上げるようなきめ細かい送信電力管理が自動的に行われているはずです．

2）受信機

携帯電話は，基地局からの電波をつねに受信しなければなりません．もし，つねに受信待機状態で受信回路が働いていれば，ここでも大きな電力消費が発生します．しかし，ふだんは実際に通信しているわけではなく，ときどき基地局とやり取りすれば済むだけです．そこで，この待ち受け時の電力を低減するため，多くの無線機器は，**図4**のよう

図2
変調方式の違いによる電力効率
携帯型無線機器の代表的な変調方式．振幅が一定で電力効率の良いGMSK（Gaussian filtered minimum shift keying）と，振幅変動があり電力効率は悪いが伝送速度が速いQPSK（quadrature phase shift keying）がある．現在，両方式ともよく使われている．



1



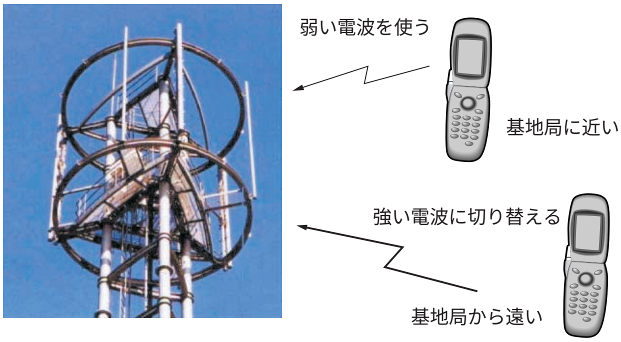


図3　送信パワーの自動切り替え
携帯電話の電池がどれくらい長持ちするかの大きな要因は，送話時にどれくらい電気を使わないかである．必要最小限の送信電力に最適化することで，実現されている．

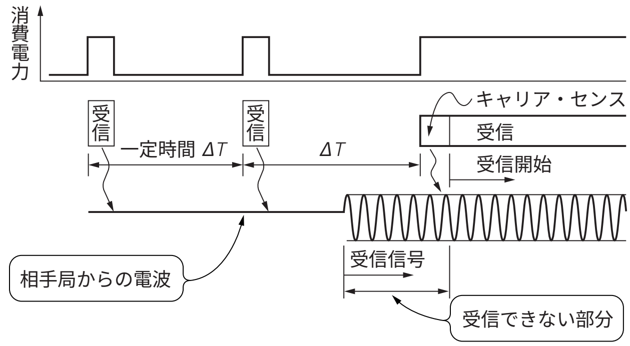


図4　パワー・セーブ・モード
携帯電話を含む携帯型無線機器には，パワー・セーブ・モードが必須．間欠的に受信モードに入り，キャリア・センスを行う．

に待ち受け時の受信機の回路に間欠的に電気を投入し，わずかな時間だけ受信して信号があるかどうかを検出しています．実際に携帯電話の電流を測ってみると，間欠的にスパイク状の電流が流れています．

一般に，これはパワー・セーブ・モードと呼ばれるもので，携帯型無線機器の電池のもちを大幅に伸ばした重要な技術です．受信による（平均的な）消費電力を劇的に引き下げる効果があります．

3）信号処理

今の携帯電話の中の信号処理のほとんどは，DSPやそのほかのLSIで実行するディジタル信号処理です．以前は「ディジタル＝電気を食う」というイメージがありましたが，現在ではできるだけディジタル化して，一つのLSIの中に必要な機能を閉じ込めたほうが，低消費電力になります．基板を見ても，**写真2**のようにLSIのパッケージが並んでいるだけです．

またアナログ回路でも，ディスクリート部品で組むよりもIC化したほうが，低消費電力になります．ディスクリート部品で設計すると，浮遊容量の関係であまりトランジスタの電流を抑えられません．そのため，LSI内部のアナログ回路のほうが低消費電力化が可能です．すなわち信号処理は，いかに優れた電気を食わないLSIを開発するかにかかっていると言えます．

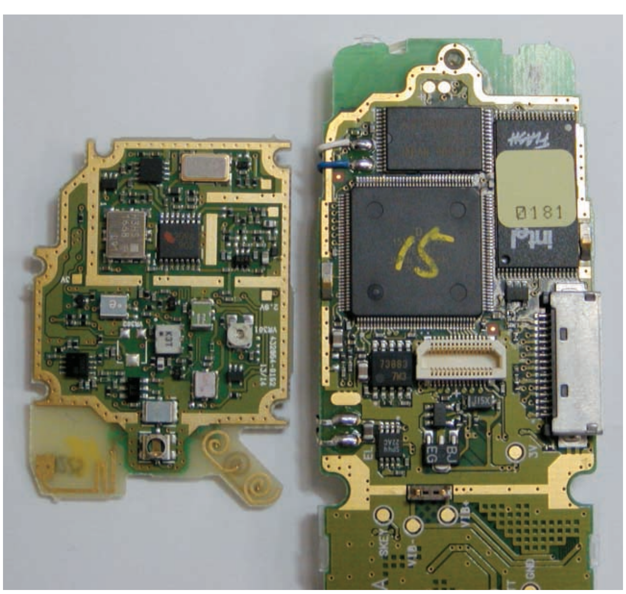


写真2　携帯電話の搭載基板
携帯電話を分解した中身．LSIが並んでいるだけ．信号処理の集積化が進んでいることがわかる．

4）表示系

ほとんどの携帯電話にはカラー液晶パネルが付いています．そのバックライトは，無視できないほど電池を消耗します．したがって，使わないときにはできるだけバックライトを切らなければなりません．多くは，キーなどの入力が一定時間以上ない場合に，自動的に切れる設計になっています．

さらに最近では，カメラが付いていることもあたりまえです．これまた電気を多く消費しますから，使うときにだけ電源を投入します．

5）制御系

全体の制御を担うマイコンはつねに動作しており，これもまた電池を消耗します．そこで多くの場合，マイコンにつながっている周辺機器で使わないものについては，できるだけ電源を切るように管理しています．さらには自分自身のしごと（処理）が忙しくないときに，自分自身で低消費電力モードに入り，できるだけ電池が消耗しないように管理します．

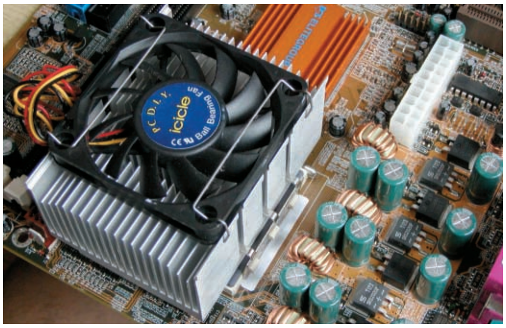


写真3　大量の熱とその空冷

パソコンのCPUの空冷ファン．CPUから発生する大量の熱を放出するため，大型のヒートシンクが取り付けられ，ファンが回っている．ファンが止まると，CPUは動作できなくなる．

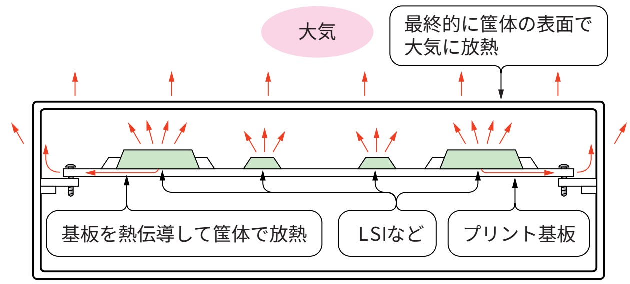


図5　発熱と放熱

電子機器で消費される電力のほとんどが，最終的に大気中に放出され，熱平衡状態になる．電子機器の小型化に伴い，発熱を抑えないと放熱できなくなっている．

このように，表面に出ている機能だけでもそれぞれ低消費電力の考えかたが重要になっています．多くの場合，1ヵ所だけの低消費電力化で済むことはありません．システム全体を最適に設計する必要があります．

● 小型化したければ低消費電力は必須

写真3はパソコンのCPUの冷却装置です．このファンが止まってうまく放熱できなくなると，CPUは正常に働きません．熱を発生するものについては，うまく放熱して熱平衡に達したときにどのような外部条件でも正常動作するように設計しなければなりません．ところが熱は大気中に放出するしかなく，大気と接する大きな物理的面積を必要とします．

そのため，商品を小型化する際には熱が大きな問題になってきます．電子機器で消費される電力の多くは，機械の中で熱エネルギーに変換されます．商品を小型化できるかいなかは，**図5**に示すようにその内部で発生する熱をいかに少なくし，効率良く放熱できるかにかかっています．

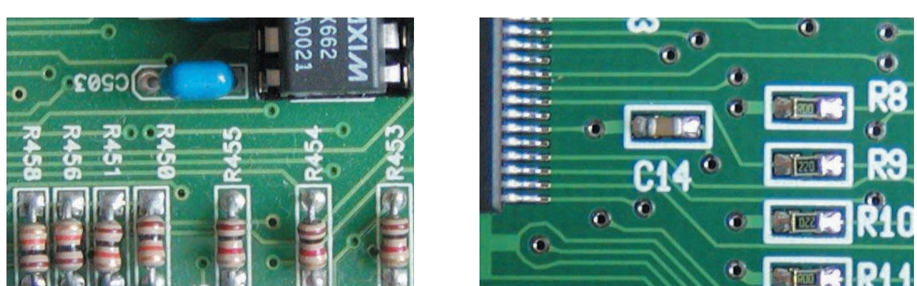
図6は，それぞれ同じくらいの電力を供給できる電源です．**図6(a)**はシリーズ・レギュレータ(シリーズ安定化電源)で，**図6(b)**はスイッチング・レギュレータ(スイッチング電源)です．両者の効率はまったく異なります．シリーズ・レギュレータは電力効率が悪く，大きな熱を発生します．そのため，この熱を逃がすためにどうしても大きな放熱器が必要になります．一方，スイッチング・レギュレータは，電力効率が高く，回路で発生する熱はわずかです．したがって，電源そのものの放熱をあまり考えなくてもよく，機器を小型化しやすいと言えます．

そのほか，機器を小型化するためには，使用する電子部品を小型化しなければなりません．例えば，抵抗器を考えてみます(**写真4**)．従来のディスクリート用のカーボン抵抗器を，小型化のために何も考えないで1005(実装面積が1.0mm×0.5mm)のチップ抵抗器に変えることはできません．定格電力が異なるからです．ディスクリートの抵抗器は1/6Wですが，1005は1/16Wです．置き換えにあたって，抵抗で消費される電力が1/16W以下になるように，もう一度設計し直す必要があります．

トランジスタでも同じです．中身のダイ(シリコン・チップ)は同じでもパッケージによってコレクタ損失が変わります(**図7**)．例えばロームの2SC1740Sと2SC5658の場合を見てみます．ディスクリートのパッケージの2SC1740S

写真4
抵抗器の小型化と定格電力

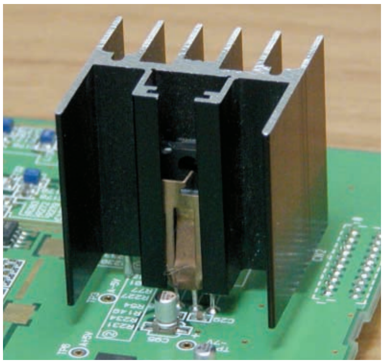
アキシャル抵抗器からチップ抵抗器への変化．大きさだけでなく，定格電力も変わっていることに注意が必要．

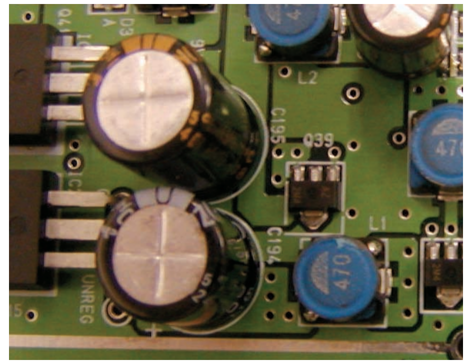


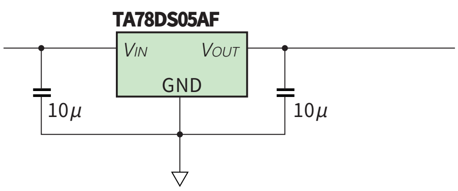
(a) カーボン抵抗器(1/6W)　(b) チップ抵抗器(1/16W)

1

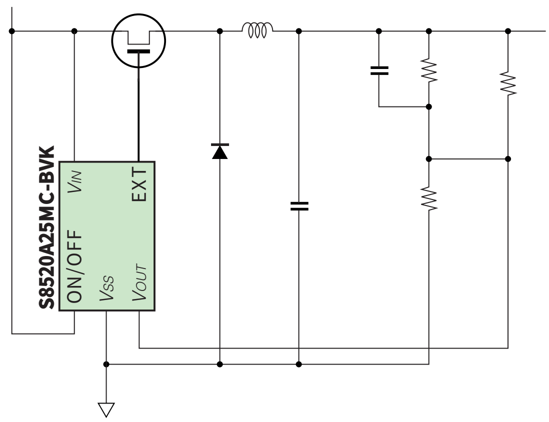








(a) シリーズ・レギュレータ(3端子)



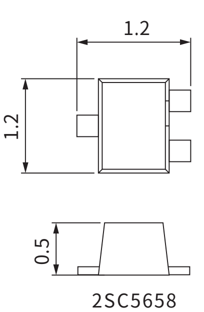
(b) スイッチング・レギュレータ(PWM方式)

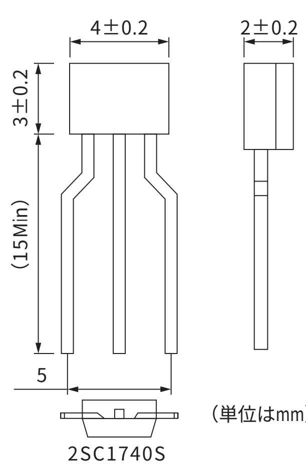
図6　代表的な電源回路の例

(a)のシリーズ・レギュレータはノイズが少なく，扱いやすくて廉価．しかし一般に発熱が大きく，効率が良くない．写真に示したのは，ヒートシンク(放熱器)が付いた3端子レギュレータ．(b)のスイッチング・レギュレータは電力効率が高い．放熱が不要なので，表面実装を利用できる．写真に示したのは，チョッパ型のスイッチング・レギュレータ(Tr_1，L_1，C_1からなる回路)．発熱はほとんどなく，大電流がとれる．

には物理的な熱体積があるので，定格電力は0.3Wです．小型表面実装パッケージの2SC5658は半分の0.15Wです．小型化するために単純に置き換えることはできないのです．

加えて，機器を小型化するためにはどうしても小型のプリント基板を使わなければなりません．プリント基板上の回路で発生する熱の多くは，実はプリント基板の銅はくや基板の素材そのものに伝わり，その表面から大気中に(または筐体に)放出しています．したがって，小型になり，基板面積が減ると，それに比例して放熱できる熱容量も下がります．そのため，従来の回路をただ単に物理的に詰め込んで小型化しても，うまくいかないのです．そこには低消費電力設計が必要となります．





(単位はmm)

絶対最大定格(Ta=25℃)

パッケージ	コレクタ損失
2SC5658	0.15 [W]
2SC1740S	0.3 [W]

図7　パッケージの違いによるコレクタ損失の違い

同じシリコン・ペレットを使ったトランジスタでも，パッケージングの方法によって最大コレクタ損失は変わる．小型化するためには，低消費電力化が必要になる．本図はロームのデータシートからの引用．

● 低消費電力→温度上昇が少ない→高信頼性

先ほど，機器を小型化しようとすると，熱の問題により低消費電力化を迫られると述べました．しかし，このような理由とは別に，機器の内部温度の上昇を抑えるのは，高信頼化のために絶対に必要です．

電子機器やLSIの内部で使われているトランジスタの特性は，温度の関数となっています．例えば，よく問題になるのは，バイポーラ・トランジスタのベース・エミッタ間の飽和電圧です．一般には，V_{BE}は0.65Vくらいを見込んで回路を設計しますが，図8に示すように明らかに温度の関数となっています．これを考慮しないで設計すると，とても使えないものになってしまいます．そこで普通は，こ

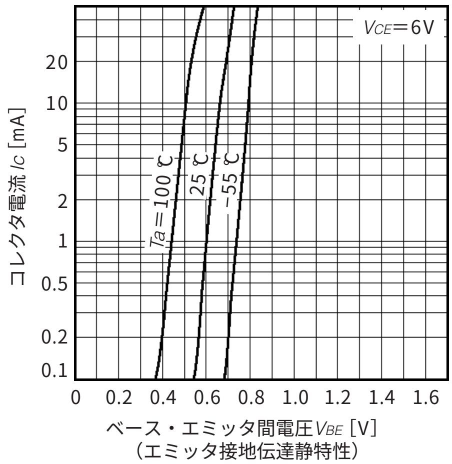


図8 2SC1740Sの V_{BE} の温度特性

V_{BE} は，トランジスタのバイアス設計の基本となる．一般には0.65Vで設計されるが，温度に強く依存する．これが性能に影響ないように設計しなければならない．本図はロームのデータシートからの引用．

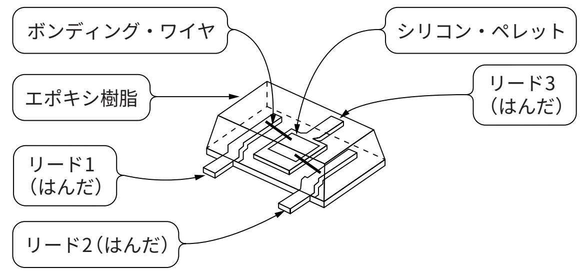


図9 表面実装型のパワー・トランジスタの内部構造

さまざまな材料から構成されている．それぞれの熱膨張率や熱伝達率は異なる．使いかたによっては熱ストレスで物理的破壊を招く．

れらの特性ができるだけ性能に影響を与えないように設計しなければなりません．

しかし電子機器の中では(LSIの中を含めて)数えきれないほど多くのトランジスタが動作しており，それらがすべて温度によって特性が変わるという，たいへん複雑な動きをします．普通は，これらの特性が変わっても性能にできるだけ影響しないように設計するのですが，それでも完全ではありません．可能な限り温度変化が少なくなるように機器を設計したほうが安定して動作する，そして信頼性が高くなることは明らかです．そのためには，できるだけ低消費電力で設計し，熱を発生しないようにしなければなりません．

とくに，特性面で高い信頼性が要求される測定器などの場合，電源投入後，機器の内部がある程度温度平衡に達するまで，特性を保証していないものが多くあります．これも，できるだけ低消費電力で設計すれば，電源投入直後の待ち時間を短縮できます．

また，多くの電子部品では，その寿命と温度が逆比例の関係にあります．例えばEPROM(electronically erasable and programmable read only memory)やフラッシュ・メモリなどのデータ保持期間は，仕様では10年以上のオーダです．しかし，それを確認するために，そのLSIを発売する前に実際に10年かけて信頼性試験を行っているのかというと，そうではありません．温度と信頼性の間に逆比例の関係があることを利用して，高温の状態で動作させる「加速試験」を行うのが一般的です．

機器の中の温度が高いと，いわば自分自身で加速試験を行っているようなものです．そのため，できるだけ温度上昇が少ない雰囲気(環境)で動作する機器を設計することは，高信頼性の電子機器を開発するうえで必須です．

一般に，電子部品は複数の素材から構成されています．それぞれの素材の熱膨張率や熱伝達率は異なります．例として，パワー・トランジスタの内部構造を**図9**に示します．トランジスタのシリコン・ペレットが急激に温度上昇した場合は，シリコンとパッケージの素材の温度係数の違いにより，物理ストレスがパッケージなどにたまります．長年そのような状況を繰り返すと，ひどい場合には，素材の疲労によりひびが入ったり，破壊が起こる可能性もあります．そのためにも，できるだけ熱を発生しないような設計を心がけます．

● 低消費電力は不要輻射ノイズが少ない

電子機器を設計するうえで，高性能・高機能を追及することはとても重要ですが，それに伴って発生する電磁波の不要輻射(ふくしゃ)に対して，とくに注意を払う必要が出てきています．近年は電子機器から輻射される電磁波の規制が強まってます．例えば，米国へ商品を輸出するためには，**写真5**のような米国FCC(Federal Communication Commission)の規制を満足する必要があります．電子機器の開発者の多くは，この困難な問題に直面し，その対策に苦労しているのが実態でしょう．

これに対する答えの一つとして，電子機器の小型化，低



写真5 FCC認定の例

米国へ商品を出荷する際に必要となる．



消費電力化により，電磁波の不要輻射を減らす方法があります．**図10**のように電磁波は，回路の中で高周波の信号（または，高周波成分を含む信号）がプリント基板上の配線パターンなどに流れることにより輻射されます．回路に流れる高周波電流の大きさや回路の整合条件，パターンの長さなどの条件により，その輻射量は大きく変わります．できるだけ回路に流れる電流を減らす低消費電力設計により，輻射を少なくできます．また，低消費電力化により高集積な設計が可能となり，全体的に高周波信号が流れるパスの長さを短くできます．さらに，電磁波の不要輻射は，LSIそのものからも発生しています．これについても，同じく低消費電力化と，それによって可能となる小パッケージ化により，不要輻射を減らせます．

最近の電子機器は，ディジタル回路が多くを占めるようになってきています．ディジタル回路は一般に同期方式によって動作しており，これらに供給されるクロックに比例した電流が流れます．こうしたクロックの周波数は年々高くなっています．そのクロックに関係した信号電流などがプリント基板の配線パターンに流れると，電磁波が輻射されます．とくに高周波になればなるほど，この問題は深刻になります．その対策のためには，信号のインピーダンス整合などの問題もありますが，一般に低消費電力設計とすることで，不要輻射ノイズを低減できます．

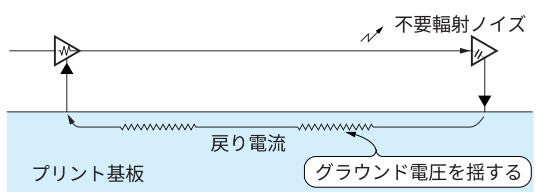


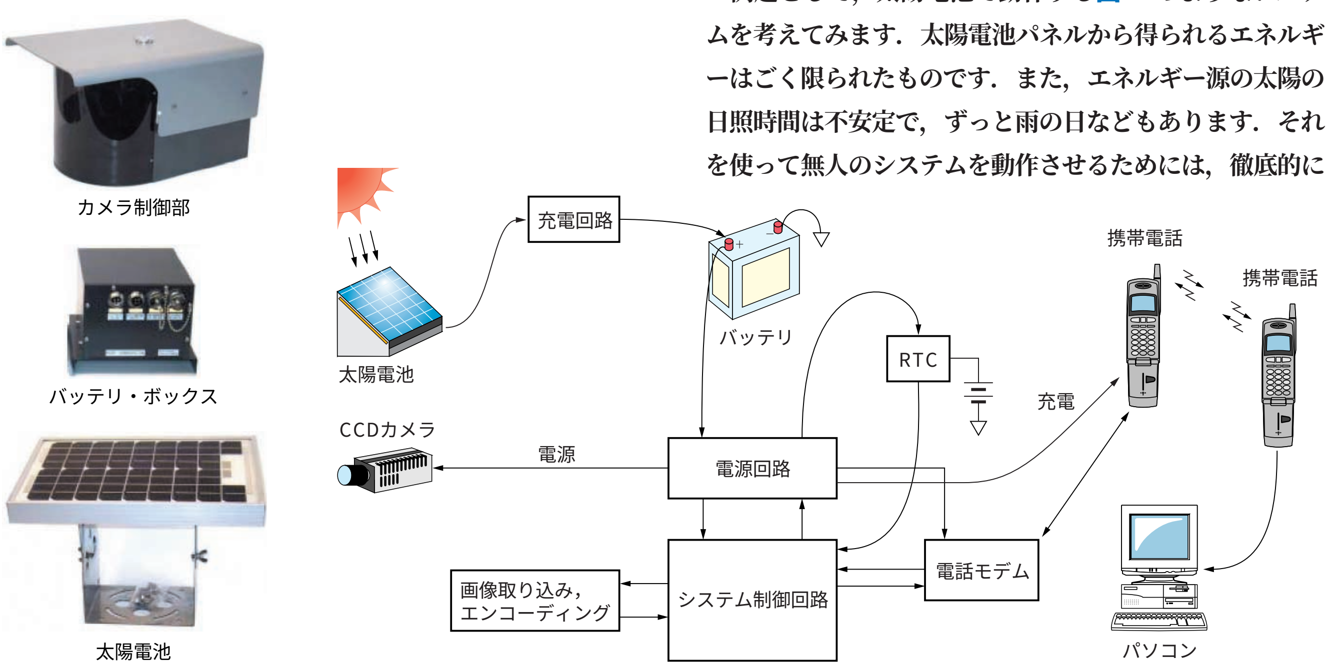
図10　高周波電流による不要輻射ノイズ（不平衡伝送）
プリント基板上のパターンを伝送する信号によって，電磁波の不要輻射が発生する．

2 低消費電力を目ざすシステム設計

これまでに述べてきたように，電子機器の低消費電力設計は，程度の差はあれ，避けて通ることができません．現在の開発現場では，多くの人が設計業務に参加しており，それぞれの担当が細分化されています．例えば，自分の受け持ちの回路でトランジスタの電流を半分にしたりするなど，地道に設計することは可能です．しかし，もっとも効果的な低消費電力設計は，システム全体を見渡してむだを省き，最適化することです．

● システム設計時の低消費電力設計がもっとも重要

例題として，太陽電池で動作する**図11**のようなシステムを考えてみます．太陽電池パネルから得られるエネルギーはごく限られたものです．また，エネルギー源の太陽の日照時間は不安定で，ずっと雨の日などもあります．それを使って無人のシステムを動作させるためには，徹底的に



（a）外観　（b）システム構成

図11　無人画像伝送装置
遠隔地にある無人の観測カメラから定期的に映像を伝送する装置．実際の製品は，太陽電池パネル，バッテリ・ケース，カメラ制御部本体の3ユニット構成になっている．

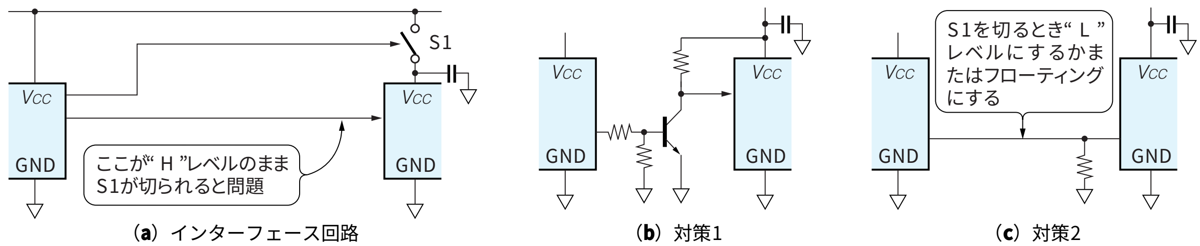


図12　インターフェース回路の注意点
スリープ状態や部分回路の電源しゃ断などによって低消費電力モードに入ったとき，CMOS LSIの各電圧がどのような状態になるか，注意する必要がある．

低消費電力化を図らなければなりません．

このシステムは，図11(b)のように定期的にカメラで撮影した映像を，携帯電話で基地局に伝送するものです．太陽電池で発電した電力は，いったんバッテリに蓄えられます．その電力を使ってシステム全体を動作させます．このシステム内においては，携帯電話やCCD(charge coupled device)カメラなど，かなり電力を消費する周辺機器を動作させなければなりません．

純粋に個々の周辺機器，例えばCCDカメラの消費電力を引き下げて，それらの積み重ねで全体の低消費電力化を図ることも可能でしょう．しかし，もっとも重要なのはシステム全体としての低消費電力設計です．個別の低消費電力化よりもはるかに良い結果が得られます．システム全体の設計を考えた後で，個々の担当がさらに詰めの具体的な低消費電力化を考えます．本例で，システム設計について考えたことは，以下のとおりです．

1) 個別電源制御

待機状態のときは，できるだけ周辺機器の電源を切り，電力を消費しないようにしました．しかし，CMOS(complementary metal oxide semiconductor)LSIなどをほかの部分と切り離して電源を切る場合は，つねにラッチアップの危険性が伴います．あるいは図12(a)のようなインターフェース回路の場合は，電源を切っても問題が起こらないように，十分に注意して設計する必要があります．

2) 電源回路の効率化

何も考えないでシリーズ・レギュレータを使うことはできません．少しでも効率の良いスイッチング電源を使うようにしました．また，電源回路から供給する電力は，各周辺機器との間で制御可能なように，マイコンで制御できるスイッチが入っています．

3) 制御回路

制御はすべてマイコンで行いますが，処理速度の速い制御はありません．そのため，できるだけCPUのクロック周波数を下げるようにしました．CMOS構造のマイコンでは，消費電力は動作周波数に比例します．また，待機状態のときはCPUそのものの電源も切るようなしくみにしました．

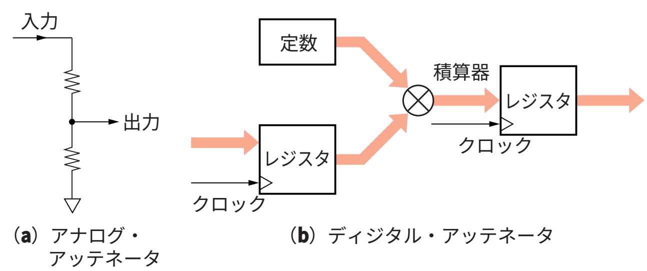


図13　アッテネータ
アッテネータをアナログ回路とディジタル回路で実現したもの．アナログでは単純な構成だが，ディジタルでは複雑な回路が必要になる．

待機中に動作している回路は，RTC(real time clock)のみになります．プログラムされたアラーム時刻になると，このRTCがCPUの電源を投入し，動作を開始させます．RTCの消費電流は微少なため，ほとんど電池を消耗しません．

● アナログ回路かディジタル回路か

近年，ほとんどの機能がディジタル化されようとしています．しかし，低消費電力設計においては，アナログ回路にも捨てがたいものがあります．例えば，アッテネータを考えてみます．図13に，アナログ回路とディジタル回路のそれぞれで実現した場合を示します．アナログ回路はただ単なる抵抗分割だけですから，電気を食わない，とても簡単な回路で実現できます．

ところがこれをディジタル信号処理で実現しようとすると，サンプリング周波数に同期した積算器(掛け算器)が必要になります．積算器はそれなりの回路規模になります．これに伴って，アナログ回路よりもかなり電力を消費します．

また，フィルタを考えるとき，アナログではスイッチト・キャパシタ・フィルタが使えます．一方，ディジタル



では数多くの掛け算器の塊となります．同じ機能ですが，消費電力についてはアナログ回路のほうがはるかに少なくなります．しかもスイッチト・キャパシタ・フィルタはディジタル回路のCMOSプロセスを使って作ることが可能です．すなわち，アナログ・ディジタル混載LSIにすれば，消費電力は下がるし，基板面積も小さくできます．

ただし，もともとそのほかの処理にDSPが必要で，すでに使っている場合があります．その場合は，アッテネータを追加するのに，そのDSPをちょっと使わせてもらえば，プログラム数行の追加で済んでしまいます．確かにDSP全体としてはかなりの電力を消費しているのですが，DSPがほかの機能の実現のために必要なのであれば，アッテネータのプログラムを追加しても，電力的にはほとんど変わらないでしょう．逆に，回路的には何も追加する必要がないわけですから，こちらの構成を選ぶべきです．

このように低消費電力化を考えるとき，アナログがいいのか，ディジタルがいいのかは，一概には言えません．全体のシステムを理解して，初めてどちらを選ぶべきかが決まります．何も考えないで，「今はディジタルの時代だから」と，すぐにディジタル信号処理を使うのではなく，アナログ回路の良い面も考えながらシステムを設計するべきです．

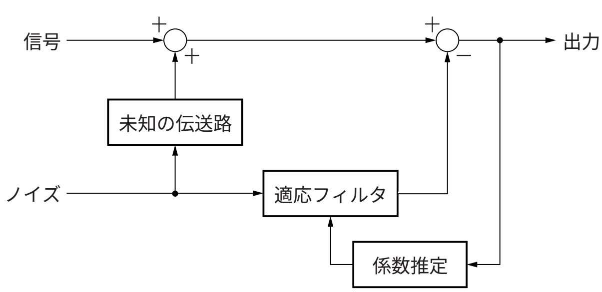


図14　適応フィルタ
アクティブ消音などに使われる適応ディジタル・フィルタのブロック図．未知の伝達特性を自動的に推定し，それをもとにキャンセルする．

身近な良い例が，アクティブ・ノイズ・キャンセラ付きのヘッドホンです（**写真6（a）**）．ヘッドホンにマイクロホンを取り付け，外からのノイズを拾い，それを自動的にキャンセルするものです．そのヘッドホンを装着することにより，例えば飛行機の中でつねに聞こえるエンジンなどの騒音をキャンセルし，静かな環境を作り出してくれます．

普通に考えれば，**図14**のように教科書に出てくるようような，LMS（least mean square；最小2乗平均）などのディジタル適応ノイズ・キャンセラの構成を考えてしまいます．ほとんどの人が，DSPを搭載してるのではないかと思うでしょう．しかし実際には，DSPではなく**写真6（b）**のように，純粋なアナログ回路を使って実現しています．ヘッドホンには大容量の電池を付けることはできません．低消費電力設計が必須なのです．

ヘッドホンのようにしきられた空間では，スピーカや外部からのノイズの聞こえかたは，耳にとってほとんど変化しません．そのため，外部からの音の伝達特性は変わりません．したがって，たとえ適応ディジタル・フィルタでノイズをキャンセルしても，**図14**のAの伝達関数は最終的にはだいたい同じ値に収束するでしょう．すなわち，その



（a）外観　　（b）内部の基板

写真6　ソニーのアクティブ・ノイズ・キャンセラ付きヘッドホン
外部のノイズを拾うためのマイクロホンが見える．内部回路は，アナログ回路で構成されている．

値を何らかの方法であらかじめ知ることができれば，その特性をもつ固定定数のフィルタを使っても同じ特性が得られます．もちろんそれらは複雑でしょうが，アナログ回路で実現可能です．

● ソフトウェアとハードウェアの消費電力を見極める

電子機器は，一般にハードウェアとソフトウェアから構成されています．実際に電力を消費するのはハードウェアです．ですから，できるだけハードウェアの機能を減らし，その代わりにソフトウェアで実現したほうが，消費電力を減らせます．

しかし，ソフトウェアの処理が重くなることにより消費電力が増加するケースがあるのも事実です．例えば，あまりにもソフトウェア処理に頼ってしまうと，DSPやCPUのクロック周波数を高めなければならなくなり，そのために消費電力が上がってしまいます．その場合は，ハードウェアを追加して別に処理させたほうが，全体的には低消費電力になる場合が少なくありません．ハードウェアは並列処理が可能であり，クロック周波数の低い回路で十分だからです．

ハードウェアかソフトウェアかを判断するためには，両方の技術をある程度理解していなければなりません．一つの機能を実現するときに，ハードウェアで実現する場合とソフトウェアで実現する場合を，すぐに頭のなかでイメージできることが重要です．したがって，システム設計者には両方の技術についての知識が必要です．

ここで，図15のようなディジタル・フィルタを実現するケースを考えます．サンプリング周波数が高いと，DSPで実現する場合は，そのクロック周波数を高くしなければなりません．しかし，例えば米国Analog Devices社のBlackfinプロセッサの場合，表1のようにDSPのクロックと消費電力は比例しています．したがって，消費電力が増えてしまいます．一方FPGAを使って実現した場合は，並列処理が可能なので，低いクロック周波数の動作でもまったく問題ありません．つまり，あまり電力を消費しなくて済みます．

とくに最近のディジタル信号処理では，写真7のようにFPGAとDSPを組み合わせて処理することが珍しくなくな

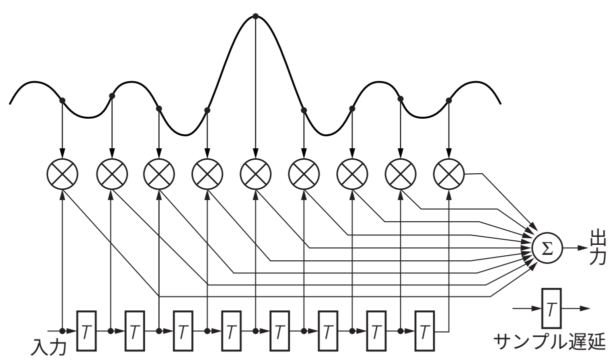


図15　FIRフィルタ

FIR（finite impulse response）ディジタル・フィルタの基本構成．トランスバーサル・フィルタとも呼ばれる．

表1　Blackfinプロセッサの消費電力特性

コア電圧と動作周波数を変えたときの消費電流の変化を示している．動的な消費電力管理が可能となる．

パラメータ	f_{CCLK}＝コア・クロック周波数，V_{DDINT}＝コア電圧				
	f_{CCLK}＝50MHz V_{DDINT}＝0.8V	f_{CCLK}＝400MHz V_{DDINT}＝1.2V	f_{CCLK}＝500MHz V_{DDINT}＝1.2V	f_{CCLK}＝600MHz V_{DDINT}＝1.2V	単位
コア電流	26	160	190	220	mA
スリープ電流	16	37	37	37	mA
ディープ・スリープ電流	14	31	31	31	mA
クロック停止	50	—	—	—	μA
RTC電流	30	—	—	—	μA

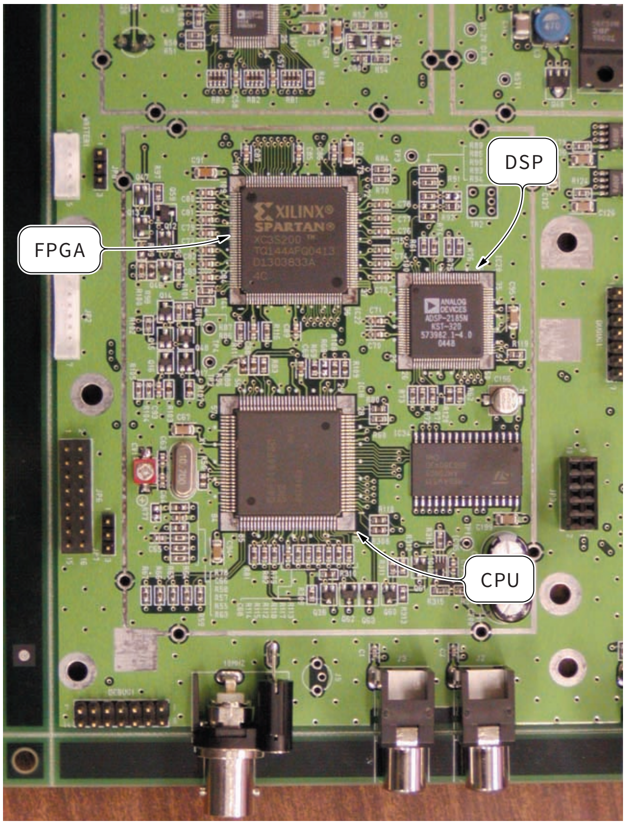


写真7　FPGA，DSP，CPUを組み合わせた基板の例

中核となるデバイスがプログラマブルなので，柔軟に設計できる．



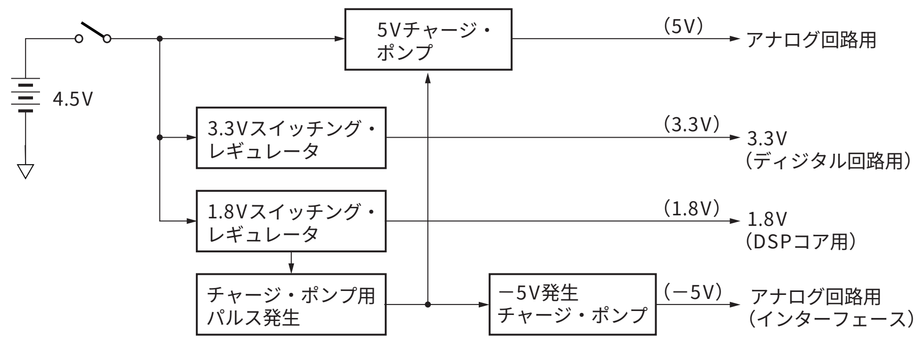


図16
単三電池3本からさまざまな電圧を作った例
単三電池3本で動作する携帯機器における内部電源の例．最近の機器は数多くの電源電圧が必要であり，それをいかに作るかで電力効率が大きく変わる．

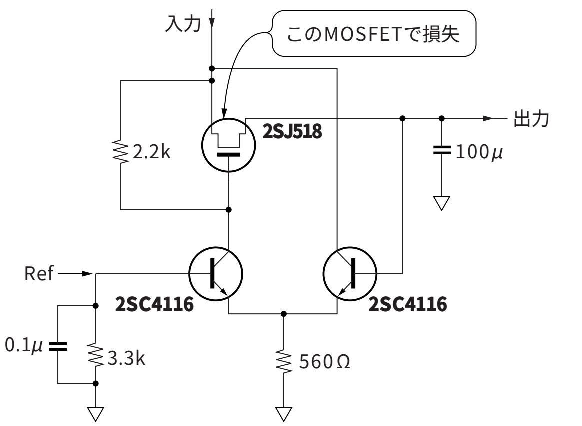


図17　シリーズ・レギュレータの回路例
パワー・トランジスタで電力を損失させ，安定化電圧を得る．ノイズは少ないが，電力効率は悪い．

ってきています．その場合，どの部分をハードウェア(FPGA)で，どの部分をソフトウェア(DSP)で処理するかによって，消費電力が違ってきます．

● 電源設計が基本

電池運用の電子機器の場合，電源回路の設計がとくに消費電力を左右します．さらに最近の電子機器は，数多くの電源電圧を必要とするLSIを搭載しています．**図16**に，電池で動作する電子機器に必要な電源電圧の例を示しました．一つの電池電圧からこれらの電圧をいかに作るかで，電池のもちがかなり違ってきます．

定電圧回路の方式は，大別すると二つあります．**図6**に示したシリーズ・レギュレータとスイッチング・レギュレータです．シリーズ・レギュレータは，**図17**に示す電圧安定化に使っているトランジスタを可変抵抗器のように動作させて，つねに出力が一定になるようにしています．そのため，トランジスタのコレクタとエミッタにかかる電圧とそれに流れる負荷電流の積で，電力が浪費されてしまいます．電池の限られたエネルギーをトランジスタでむだに使っていることになります．

一方のスイッチング・レギュレータですが，例としてここでは**図6(b)**のようなPWM方式の電源を考えてみます．トランジスタはONかOFFのスイッチ動作を行っており，理想的にはトランジスタのコレクタ損失はごくわずかなものです．すなわち，電源電圧変換においてむだなエネルギーの損失が少ないといえます．

しかし，シリーズ・レギュレータはノイズが少なく，かつ簡単な構成で実装できるというメリットがあり，捨てがたいものです．スイッチング・レギュレータは，電力効率はとても良いのですが，さまざまなノイズ源となり，回路も複雑になります．二つの特徴をうまく利用すれば，低消費電力でありながら，アナログ回路にも使える低ノイズの電源を作ることができます．

図18にその例を示します．ここでは12Vから電源効率を考えて5Vを作りだす場合を示します．まずは，PWM方式のスイッチング・レギュレータで5Vより少しだけ電圧の高い5.6Vを作ります．当然，スイッチング・レギュレータですから，5.6Vにはリプルなどのノイズがのっています．このままアナログ回路では使えない状態です．そこで，5.6Vを低飽和型のシリーズ・レギュレータで5Vに安定化します．これによって得られた5Vは，とてもノイズの少ない，きれいな電源となります．

最初の例の電池駆動の機器は，単三電池3本で動作するものでした．アルカリ電池からNiH(ニッケル水素)電池までの使用を考えると，入力電圧は3V～5Vくらいの範囲で変化すると考えたほうがよいでしょう．**図16**は，それらを考えたうえで最終的に選んだ電源の構成例です．まだまだ低消費電力化の努力が足らないのですが，最終的にはそれにかかるコストとの総合判断を行い，結果として妥協し

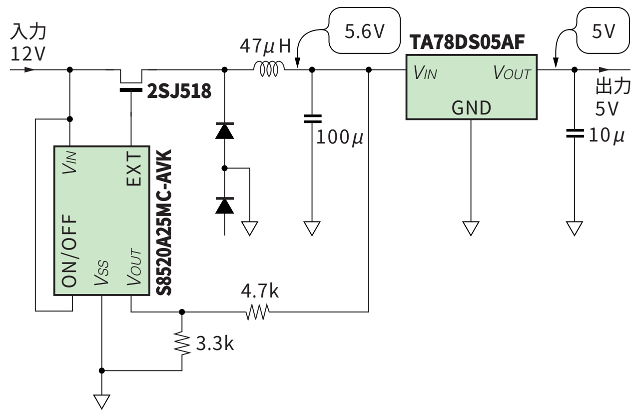


図18　ノイズが少ないアナログ回路向け電源

スイッチング電源とシリーズ電源を組み合わせて使う．ノイズが少なくて比較的電力効率の良い安定化電源回路を構成できる．

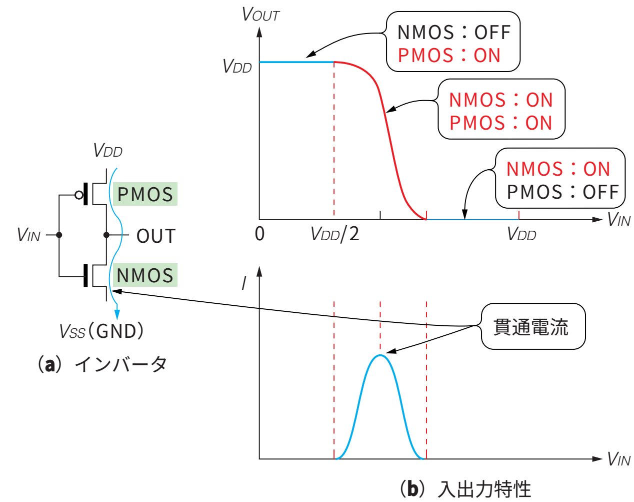


図19　CMOSインバータ

(a)は，CMOS LSIの基本回路であるCMOSインバータ．NチャネルとPチャネルのFETが縦につながっている．ゲート電圧によっては，両方のFETがONになる時刻がある．(b)は，CMOSインバータの貫通電流の特性を示している．製造プロセスによって程度の差はあるが，CMOS回路の基本特性である．

なければならなくなりました．

● CMOSでも動作周波数が上がると電力消費は大きい

電子機器の中で使われるディジタルLSIのほとんどがCMOSプロセスで製造されています．CMOS回路の基本は図19(a)のような構成です．静的な状態ではどちらか一方のトランジスタがONになっているだけで，負荷電流を流さない限り電力を消費しません．つまり，とても低消費電力向けの回路であると言えます．

ところがこれを，‘1’から‘0’に，または‘0’から‘1’に変化させるときに電流が流れます．これは貫通電流と呼ばれるもので，入力電圧が変化している途中で両方のトランジスタがONになる入力レベル範囲があり，図19のように電源からグラウンド(GND)へ電流が流れるものです．CMOS回路の入力にゆっくりと変化するようなアナログ信号を入れると，かなりむだな電流が流れます．したがって，CMOS回路の入力にはディジタルで‘1’と‘0’がすばやく切り替わるような信号を入力しなければなりません．CMOS回路の入力を中間電位に長い間とどめておくような使いかたは，低消費電力化に反することはもちろんのこと，過大電流が流れて，最悪，LSIにダメージを与えることもあります．

さらに，‘1’から‘0’に，または‘0’から‘1’に変化する周波数が高くなればなるほど，貫通電流が流れる回数が増え，消費電力も増えます．CMOS LSIは，静的な低消費電力のイメージとは対照的に，高周波で動作させるとかなりの電力を消費します．動作周波数と消費電力は比例関係になります．ある程度の高周波動作では，かならずしも「CMOS LSIは低消費電力である」とはいえなくなります．

つまり，CMOS LSIを使って低消費電力設計を行うためには，必要以上に高い周波数で動作させるべきではありません．処理に必要十分で，かつできるだけ動作周波数を引き下げるようなくふうを考えるべきだと思います．そうすれば，不要輻射ノイズも減らせます．

それから，できるだけCMOSトランジスタが確実にOFFになるような電圧範囲の信号を入力に与える必要があります．TTL(trangistor-trangistor-logic)の論理ICの場合，入力レベルの規格を満足する範囲内では，それほど消費電流は変化しません．しかしCMOS LSIの場合は，入力電圧によってトランジスタが完全にOFFしないでリーク電流(漏れ電流)が増え，消費電力が変化します．

貫通電流がCMOS回路の特性として逃れられないものだとすると，消費電力を減らすためには，電源電圧をできるだけ下げればよいことになります．しかも電圧を下げれば貫通電流も減って，2乗の効果で低消費電力化に寄与します．そのため，最近の高速ディジタルLSIでは，内部回路用の低電圧の電源を，外部インターフェース用の3.3Vなどの電源とは別に供給することが一般的になってきています．

さらに，表1のBlackfinプロセッサの場合，低い動作周波数のときは低い電圧(コア電圧)に設定して動作させることが可能です．これにより，劇的に消費電力を低減できます．

CMOS LSIの場合，回路がその時点で行っている処理と



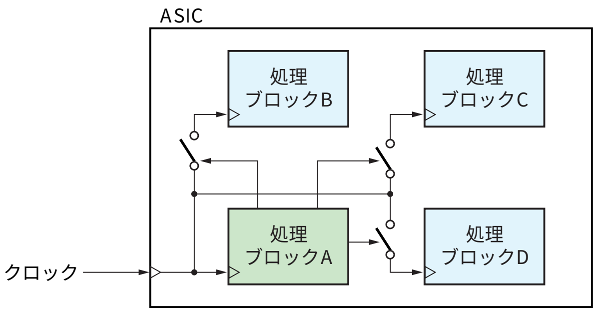


図20　使わない周辺回路のクロックの供給を止める
低消費電力向けのASIC設計では，使わない回路ブロックをこまめに切り離すためのしくみを入れる．使わない回路へのクロックの供給は止める．

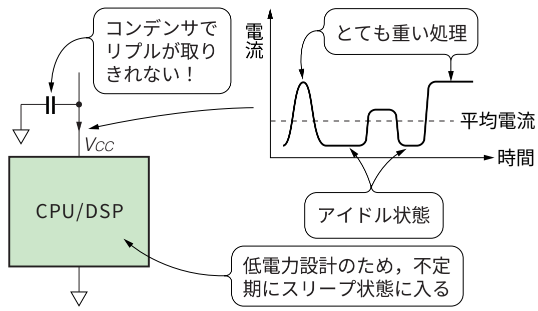


図21　リプル電流ノイズ
低消費電力化のため，ソフトウェア制御によって不定期にスリープ・モードに入った場合の電流の変化．これが電源回路に大きな負担をかけており，場合によってはリプルを取りきれない．

は無関係であっても，クロックが供給されていると電力を消費します．そこで，例えばCMOSのASICを設計するときは電力消費を抑えるために，**図20**のように処理ブロックごとにクロックの供給を止める方法がとられます．このASICに接続されるマイコンによってそれらを制御し，その時点の動作と関係ないと判断した場合は，クロックを切って低消費電力モードにします．

最近は，汎用のマイコンでも内蔵する周辺回路，例えばDMA（direct memory access）を使わないとすると，プログラムでDMA部分の動作を停止させて消費電流を下げられるようにくふうされています．このようにソフトウェアによって動作状態を分析し，電源電圧を変えたりクロックを切ったりといったいろいろな動的制御を行い，トータルで低消費電力化を実現しています．したがって，こうした場面ではハードウェアとソフトウェアの協調設計が必要になってきます．

● 動的な消費電流の変化を見落とさないこと

このように，最近の低消費電力化された電子機器は，ソフトウェアで動的に電力管理を行っています．処理が忙しくなり，いろいろな回路を同時に動作させる場合には，消費電力が急に増えます．電源回路にとってみれば，確かに平均消費電流は少ないのですが，ピーク時にかなりの大電流を供給しなければなりません．それとともに急激に変化する負荷に追従するために，高速応答性が必要になってきます．

電源回路は，ピーク電流の特性に基づいて設計します．そのため，通常の平均的な少ない電流でその回路が動作しているときは，かならずしも電力効率が良いとは限りません．また，急な負荷変動に高速に対応するため，電源回路にくふうが必要となります．確かに平均では低消費電力になっていても，電源回路から見れば，あまり好ましい状況とは言えません．また，**図21**のように流れる電流の変化で，深刻なリプル・ノイズを周辺回路にまき散らす可能性があります．そのため，できるだけピーク電流と平均電流の比を小さくする必要があります．

負荷変動のおもな原因は，ソフトウェアの作りかたにあります．それは，処理が一時期に集中しているからです．もっと処理を平均的に分散すれば，ピーク電流を減らせます．くふうしだいで処理の分散は可能です（具体例は後述）．

3 消費電流低減の奥の手

これまで，低消費電力設計の要点を述べてきました．ここではもっと具体的に，低消費電力についてのいくつかの項目を説明したいと思います．

極限まで低消費電力化を行うためには，LSIやそのほかの部品の仕様について，利用できるところはないか，隅々まで検討します．あるいは，LSIの内部等価回路から予想される新しい使いかたを考えなければならない場面も出てくると思います．

●「CMOSは高入力インピーダンス」ではない

電子機器の中で使われるLSIのほとんどはCMOSプロセスで製造されています．**図19（a）**のような基本のインバータ回路を組み合わせて，論理回路を構成します．ここで，CMOS LSIの入力ピンには，**図22**のようにFET（電界効果トランジスタ）のゲートが接続されています．ゲートは容量を持つので，回部から入力される信号に対して，容量負荷

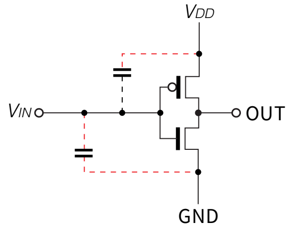


図22 CMOSは容量負荷になる
CMOS LSIの入力ピンにはゲートの容量負荷が付く．高速信号をCMOS回路に入力する場合には，注意が必要である．

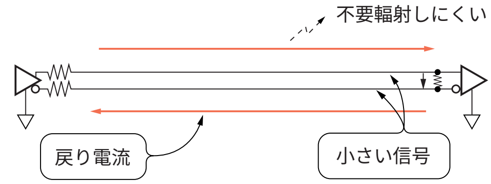


図23 高周波電流による不要輻射ノイズ（平衡2線伝送）
低消費電力化では，いかに高速信号の振幅を減らすかがかぎとなる．2線式による平衡伝送は一つの優れた解決策．外部への不要輻射ノイズも減らすことができる．

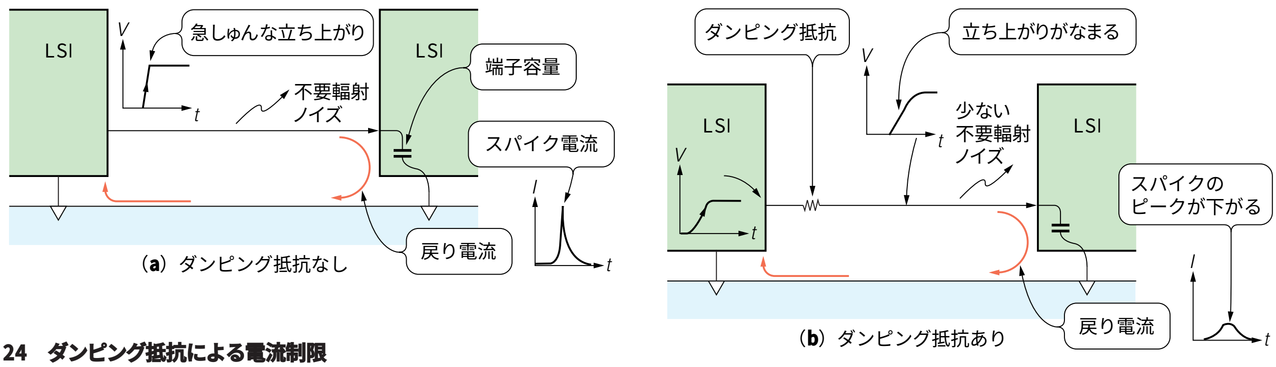


図24 ダンピング抵抗による電流制限
CMOS LSIの入力容量で発生する電流を抑制するためには，ダンピング抵抗を挿入すると効果的．抵抗は送り側の信号源の近くに付けなければならない．

になっていることを認識することがとてもたいせつです．

CMOSの入力等価容量は，DC（直流）に対しては無限大のインピーダンスを示しますが，高周波になればなるほどインピーダンスが下がってきます．例えば，入力等価容量が一般的な5pFであったとし，100MHzの信号がこの入力端子に入力されたとすると，インピーダンスは以下のとおりです．

$$Z = 1/2\pi fC = 1/(2\pi \cdot 10^8 \cdot 5 \cdot 10^{-12}) = 318 \quad [\Omega]$$

なんと，320Ωくらいの抵抗で終端されたのと同じ状態です．「CMOSは高入力インピーダンス」という思い込みは，低消費電力設計の障害となります．

例えば，入力ピンに$5V_{p\text{-}p}$の信号を入力したとすると，信号が変化するときに15.7mAもの電流が流れてしまいます．たった1ピンの入力端子でこれですから，数多くの入力端子をもつCMOS LSIならば，全体では思ってもみなかったようなむだな電流が流れ，電力を消費します．さらに，最近のディジタル信号のクロック周波数は，100MHzくらいがあたりまえになっています．

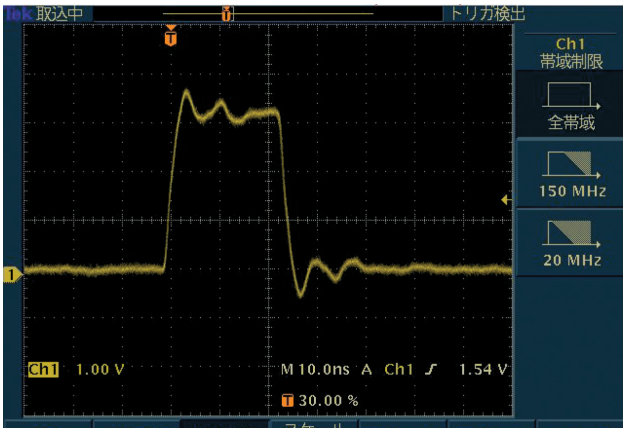
● 振幅を小さくしたり，送出部で電流制限をかける

この容量負荷に対する電流を減らすことは，低消費電力化や不要輻射ノイズの削減を実現するうえでとてもたいせつです．その対策は二つほど考えられます．

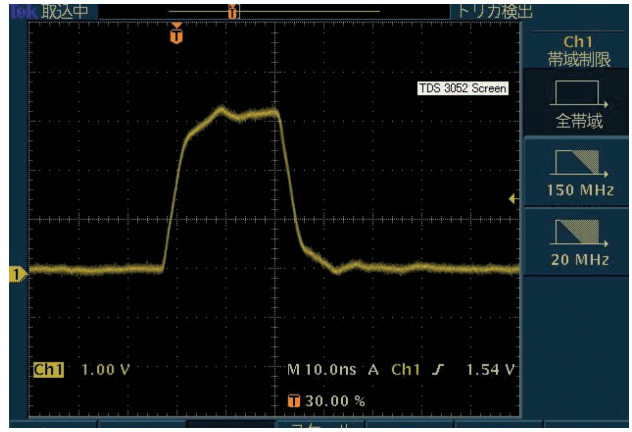
一つ目は，できるだけ信号の振幅を小さくすることです．近年はLSIの電源電圧が下がってきていますが，さらに低電圧にするために，昔のECL（emitter coupled logic）のように信号伝送を差動（平衡伝送）にします．**図23**に示すように差動方式では，2本の信号線の電位差を使って信号を伝播します．これにより，入力の差動アンプの実力しだいで信号の振幅の変化をかなり抑えることができます．例えば同じ100MHzの信号で5pFの容量負荷の場合，振幅を0.5Vに抑えると，信号電流を約1.6mAまで減らすことができます．さらにこれにより，不要輻射ノイズも減らせます．

二つ目は，信号の送出部で電流制限をかけることです．波形を故意になまらせます．**図24(b)**に示すように，送り側の出口すぐのところに直列にダンピング抵抗を入れます．そうすると，容量負荷の場合，それに流れる電流を制限できます．信号の遅延は発生しますが，あらかじめそれを見込んで余裕のあるタイミング設計を行っておきます．また，**図25**のようにダンピング抵抗のあるなしで，受け側のオーバシュートやアンダシュートを抑えることができます．オーバシュートやアンダシュートは，しばしば機器の誤動作の原因となります．





（a）ダンピング抵抗なし



（b）ダンピング抵抗あり

図25　ダンピング抵抗のあるなしと波形

FPGAにおけるドライブ電流の違いによる信号波形の違いを示した．ダンピング抵抗がない場合，立ち上がり特性は良いが，アンダシュートやオーバシュートが発生する．一方，ダンピング抵抗がある場合（ドライブ電流を制限した場合）は，立ち上がり特性はなまっているが，比較的きれいな波形となっている．

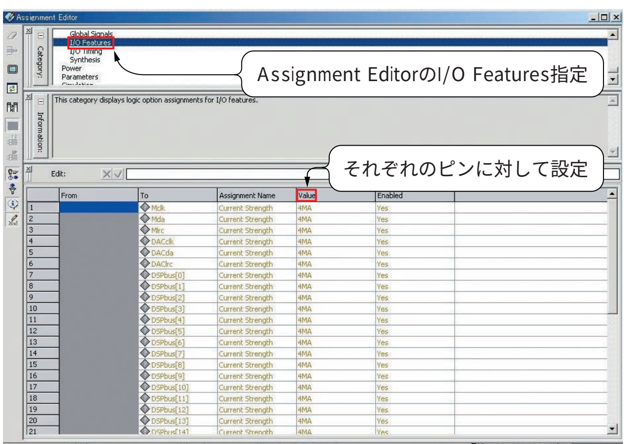


図26　FPGAの出力電流の設定

Altera社のFPGA開発ツール「Quartus II」が備えるFPGA出力電流の設定用ウィンドウ．

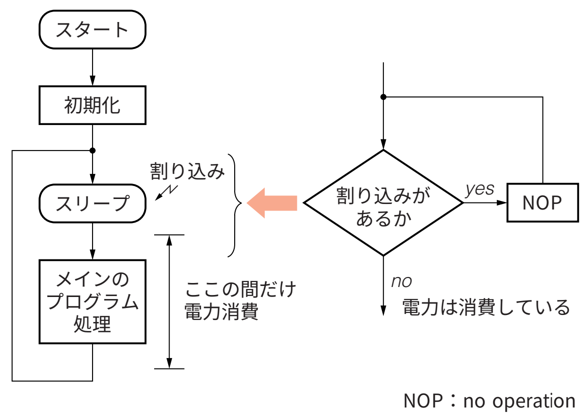


図27　スリープ・モードの活用

イベント待ちの無限ループの代わりにスリープ状態を使うことで，低消費電力化が図れる．

もしFPGAを使っているのであれば，出力のドライブ電流をプログラムすることが可能です．**図26**に米国Altera社のFPGAの場合の設定画面を示します．同社のFPGA設計ツールQuartus IIの「Assignment Editor」の中で，「Category」をクリックすると，各項目を細かく設定できるようになります．標準では最大ドライブ電流となっていますが，ほとんどの場合，そんなに強いドライブを設定しても問題を起こすだけで，いいことはありません．筆者の場合，まずはほとんど最低のドライブ電流にプログラムして，クリティカルな信号線のみのドライブ電流を増やすようにしています．これにより，先ほど示した電流制限のための直列のダンピング抵抗は，多くの場合に省略できます．コンパクトな機器を開発するとき，これはとても重宝します．

● マイコンのスリープ・モードを活用する

マイコンのプログラムを作るとき，低消費電力化についてそれほど考えないかもしれません．しかし，プログラムの組みかたによって消費電力は変わります．その主役は「スリープ（sleep）モード」です．CPUは，つねにその能力をフルに使っているわけではありません．

図27に示すように，処理時間にゆとりがあると，何も処理をしないループに入って，次のイベント待ちの状態になります．このとき，ループに入る代わりに，低消費電力のスリープ・モードに入るように設定できます．CPUの種類にもよりますが，スリープ・モードに入ると，次の割り込みが入るまでその動作を停止します．場合によっては，割り込みにかかわる周辺回路だけを動作させ，CPUコアの

クロックも止めて，さらなる低消費電力のモードに入れるものもあります(**表1**のディープ・スリープ電流を参照)．これにより，マイコンが消費する平均電力をかなり低く抑えられます．

これは，ソフトウェア開発の担当者が低消費電力化を意識するかどうかで，全体の消費電力に大きく影響を与える好例です．しかし，問題がないわけではありません．

通常，動作している状態とスリープの状態で，その切り替わりのときに大きな電流の変化が生じます．もし，電源がそのリプルを十分に吸収できない場合，電源ラインにそのリプル波形が乗ります．スリープと通常動作の切り替え時間が数十μsのような短いものであれば，電源ラインに大きめのバイパス・コンデンサ(パスコン)を挿入することで，それを除去できます．しかし，非常に長い周期や，不定期の周期で切り替わりが発生すると，パスコンでは取りきれなくなります．さらに悪いことに，それが人間の耳で聞こえる可聴帯域に入った場合，同じ電源を使うオーディオ回路のオーディオ・ラインに乗ると，ブーンというようなハム音が聞こえてしまいます．

したがって，**図28**のようにできるだけ処理を均等に分配し，比較的短い一定の間隔でスリープ状態に入るようにします．そしてスリープ状態で休んでいる時間と動作している時間の比も，処理によらずほぼ一定になるようにしごとを割りふれば万全です．

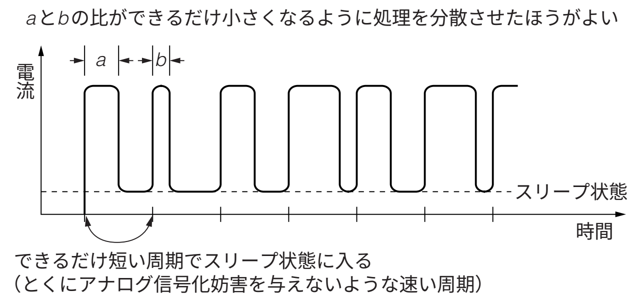


図28　処理の均等分散

スリープ状態による電源電流の変動の周囲への影響を避けるため，ソフトウェア処理を均等に時間分散化することが望ましい．

● インターフェース電圧の保証範囲に着目する

前にも述べましたが，CMOS LSIの場合，電源電圧と消費電力は比例します．しかも，電圧が下がると電流も減少するので，2乗のオーダで消費電力は減少します．したがって，できるだけ低い電圧で動作させるようにするのが低消費電力化の基本です．一般のCMOS LSIの場合，動作電圧範囲はけっこう広いものです．さらに電圧を下げれば信号の振幅も小さくなり，これに伴って信号電流も少なくなっていいことずくめです．ただし，電圧を下げると，一般に動作周波数が下がってきます．

最近では，内部回路と外部インターフェースを別々の電源で駆動させることも珍しくありません．高速に動作し，電流がたくさん流れる内部回路については，外部とのインターフェース回路と分離して，できるだけ低い電圧で動作させます．外部回路は，ほかのLSIや回路とのインターフェースの関係で電圧が決まるので，別に電源電圧を設定します．

しかし，LSIの入力容量のところでも説明したように，外部とのインターフェース電圧(入出力電圧)も消費電力にかなりの影響を与えます．昔は5Vのインターフェースが一般的でしたが，外部信号について，数十MHzとか，100 MHzといった周波数が一般的になると，5Vでは不要輻射ノイズが激しく，電力をバカ食いします．したがって，電圧はどんどん下がる傾向にあり，3.3Vや2.5Vがあたりまえになってきています．外部回路とのインターフェースの問題はありますが，できるだけ低いインターフェース電圧を選択したほうがよいでしょう．

表2にAnalog Devices社のA-Dコンバータ「AD9244」の電源の仕様を示します．とくにディジタル系の電圧の動作範囲が広いことに気がつくと思います．この場合，何も

表2
A-Dコンバータの電源電圧の例

Analog Devices社の14ビットA-Dコンバータ「AD9244」のデータシートからの抜粋．電圧範囲がけっこう広い．

パラメータ			温　度	テスト・レベル	AD9244BST-65			AD9244BST-40			単　位
					最小	標準	最大	最小	標準	最大	
電源	電源電圧	AV_{DD}	全範囲	IV	4.75	5	5.25	4.75	5	5.25	V
		DRV_{DD}	全範囲	IV	2.7	—	5.25	2.7	—	5.25	V
	電源電流	IAV_{DD}	全範囲	V	—	109	—	—	64	—	mA
		I_{DRVDD}	全範囲	V	—	12	—	—	8	—	mA
		$PSRR$	全範囲	V	—	±0.05	—	—	±0.05	—	%FSR
消費電力	DC入力		全範囲	V	—	550	—	—	300	—	mW
	サイン波入力		全範囲	VI	—	590	640	—	345	370	mW



考えないで標準的なインターフェース電圧である3.3Vに決めしまうかもしれません．しかし，仕様をよく見ると最低2.7Vまで保証されています．外部のインターフェースがTTLレベルであれば，これくらいの振幅で十分伝送可能です．低消費電力化を考えるなら，限界まで低い電圧にするのも一つの方法です．さらにこの場合はA-D変換なので，できるだけノイズを減らしたいところです．インターフェース電圧を下げることで，リターン電流（戻り電流）を減らすことができ，ノイズ・レベルも下げられます．

このように，低消費電力化を極める場合には，LSIの仕様で許容される電圧範囲に着目し，それを最大限活用するのも一つの方法です．また，一般に広範な電圧で動作するCMOS LSIの場合，仕様に示される電圧範囲は仕様上の動作周波数を保証するための電圧です．もし動作周波数を低くしてもかまわないのであれば，一般に電圧をさらに引き下げることが可能です．したがって，動作周波数で電源電圧を規定しているケースがよくあります．

● 通常動作の入力レベルは消費電流が少なくなる設定に

TTLの論理回路が，一般に負論理（“L”レベルを‘1’，“H”レベルを‘0’とする論理構造）になっているのにはわけがあります．TTLの入力は図29のような回路になっており，“H”レベルでは逆バイアスになって電流が流れません．“L”レベルになったときだけ電流が流れるようになっています．つまり，通常使う状態を“H”レベルにすれば，ゲート入力で消費するのを減らせます．したがって，設計にあたっては負論理として通常状態を“H”レベルにすることで，できるだけ電流が流れないように設計するべきです．

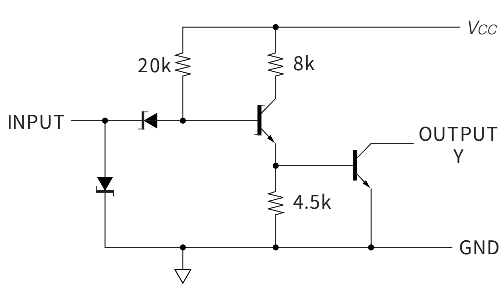


図29　TTL IC（LSシリーズ）の入力等価回路
入力が“L”レベルのときだけ，入力に電流が流れる．

今日の回路はTLLではなく，CMOSが一般的です．入力については，TTLと違って“H”であっても“L”であっても入力電流は流れません．しかし，CMOSの入力特性は図19のようになっており，ゲートを入力電圧範囲いっぱい（“H”を電源電圧，“L”をグラウンド電圧）にしないと，リーク電流（漏れ電流）が流れます．例えば，CMOSゲート入力端子に対して“H”レベルを電源電圧の70％ぐらいに設定しても，論理的には仕様を満足して信号を伝達できるかもしれません．しかし，CMOSインバータのゲートが完全にはOFFにならず，ドレインにリーク電流が流れる場合があります．とくに低消費電力をうたっている機器の設計では注意が必要です．

また，このリーク電流がとくに大きな問題になるのは，図27のようなスリープ・モードなどの待機状態です．CPUが待機状態に入ると，多くの場合，バスやそのほかのポートがフローティング状態になります．例えば，CPUにSRAMがつながっていた場合，SRAMも待機状態に入ります．しかし，データ・バスやアドレス・バスがフローティングになったままSRAMの各端子に接続されると，大きな問題が発生します．SRAMの入力はCMOSですが，そのゲート電圧が不定になり，場合によっては大きなリーク電流が発生します（図30（a））．そのため，基板に手を近づけただけで消費電流がふらふら変わるような現象が現れるときがあります．

SRAMのバックアップ電流の規格では，前提条件としてすべての入力端子がグラウンド電圧レベルまたは電源電圧

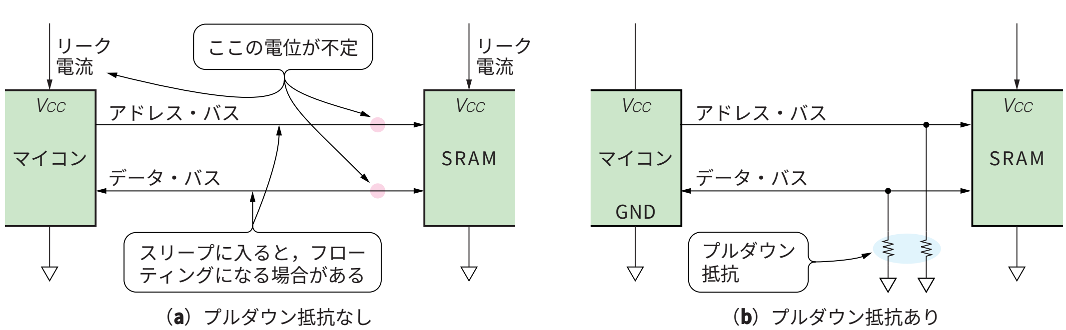


図30
待機状態のポート処理
待機状態におけるリーク電流を抑えるためには，プルダウン抵抗を挿入すると効果的．

レベルとなっています．したがって，それを満足しない条件でバックアップ状態になっても，あっという間にバックアップ電池がなくなったりします．そのようなときは，図30(b)のように，フローティングとなる信号線を抵抗でグラウンド電圧にプルダウンすると改善します．プルアップにしない理由は以下のとおりです．バックアップ時は一部の回路だけが通電され，そのほかは電源が切られていることが一般的です．その場合，切られたLSIからの信号をプルアップしても，プルアップの電源が同時に切られることがよくあります．少なくともグラウンド電圧レベルに固定すれば，その影響は出ません．

● トランジスタ・レベルの回路を検討して電流を減らす

トランジスタ・レベルで回路を設計する場合，コレクタ電流をどれくらいにするか，はっきりと意識しないのが普通ではないでしょうか．もちろん性能的に重要なアンプの場合は，特性カーブを見ながら，コレクタ電流やノイズ指数(*NF*)，ゲイン特性などを最適の値に決めるでしょう．しかし，ノイズや特性にあまり関係なさそうなところは，過去の経験をもとに，なんとなく決めていることが多いようです．

しかし，「チリも積もれば山となる」というように，1個1個の電流は少なくても，数が多くなれば，LSI全体の低消費電力化に大きく貢献します．ディジタル回路の場合，図31のようなスイッチング・インバータがよく使われます．このとき，コレクタ電流は回路の浮遊容量とスイッチング速度でだいたい決まるでしょう．「自分はコレクタ電流は2mAに決めている」などと言わないで，スイッチング波形をオシロスコープでながめて，もっと減らせないか考えてみましょう．

さらに，図31のスイッチング・トランジスタの場合，トランジスタがONになったときの引き込み電流が大きく，“H”から“L”へ高速にスイッチングします．しかし，トランジスタがOFFになったときの“L”から“H”への遷移は，コレクタ抵抗と浮遊容量の*CR*時定数で決まります．そのため，必要以上にコレクタ電流を増やし，コレクタ抵抗を下げなければならないわけです．

少ない電流で高速スイッチングを行うためには，いろいろな方法があります．例えば図32のように，PNPのスイッチング・トランジスタTr_1にコレクタ抵抗を使う代わりに，NPNトランジスタを使ってアクティブ定電流回路負荷にすれば，少ないコレクタ電流でかなりの高速化が図れます．また，大きな容量負荷をドライブする場合は，出力段に図33のようなPNPトランジスタとNPNトランジスタを組み合わせたプッシュプル回路とするべきです．このプッシュプル回路はCMOSインバータと同じように，基本的にコレクタ電流は流れません．信号が変化するときだけ流れます．しかも強力なドライブ能力を示します．

それから，ビデオ信号をドライブするときなどでおなじみのエミッタ・フォロワがあります．図34(a)のようにNPNを使ったエミッタ・フォロアの場合，信号が“L”から

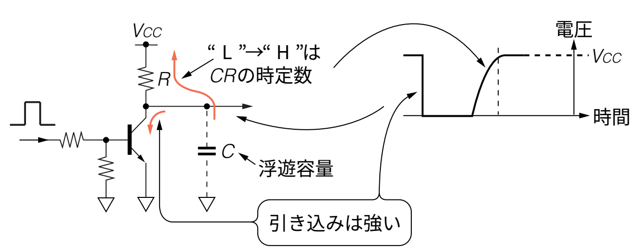


図31　トランジスタ・インバータ

NPNトランジスタのインバータ回路では，電流の引き込みは強いが，流れ出しは弱い．

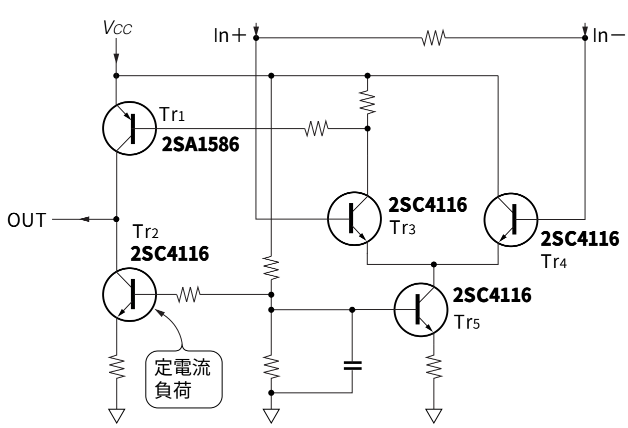
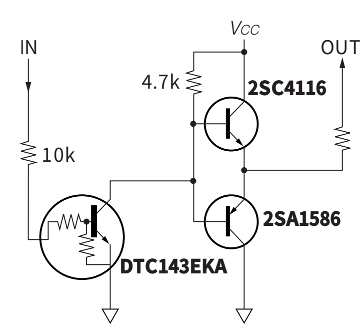


図32　差動コンパレータによる定電流負荷回路の例

PNPトランジスタのインバータ回路を高速化するため，コレクタ抵抗を低電流回路に置き換えた．

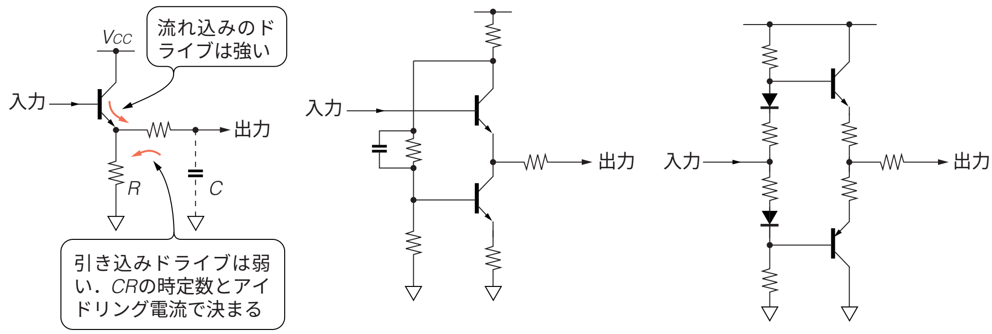
図33
プッシュプル回路

ドライブ回路をPNPとNPNのプッシュプル構成にした．低消費電力でありながら，強力なドライブ能力を実現する回路の例．



1





（a）NPNエミッタ・フォロア回路
（b）定電流をベースにしたトーテムポール出力回路
（c）プッシュプル・ドライブ

図34
エミッタ・フォロア回路
エミッタ・フォロワを低消費電力化するための方法を示した．とくに，(b)のトーテムポール出力回路がよく使われる．

“H”になるときは強力なドライブ能力がありますが，逆に“H”から“L”に変化するときは，トランジスタはカットオフし，エミッタ抵抗と負荷側の容量の時定数でドライブ能力が決まります．ドライブ能力を増やすためには，どうしてもエミッタ抵抗を小さくするしかありません．そうすると，まったくむだなアイドリング電流を増やさなければなりません．

この場合，**図34(b)**のようにエミッタ側の抵抗の代わりにフィードバック制御した定電流源を使えば，かなりの電流を節約できます．また，場合によっては**図34(c)**のようなプッシュプル回路を使えれば理想的です．プッシュプルの問題点は，PNPトランジスタとNPNトランジスタの周波数特性の差が大きく，高周波になるとひずみが発生することです．この場合，ちょっと効率は落ちますが**図34(b)**の定電流回路負荷をベースにした回路（トーテムポール・ドライブ）のほうが良い特性が出ると思います．

● ソフトウェアでクロック周波数と電源電圧を動的制御

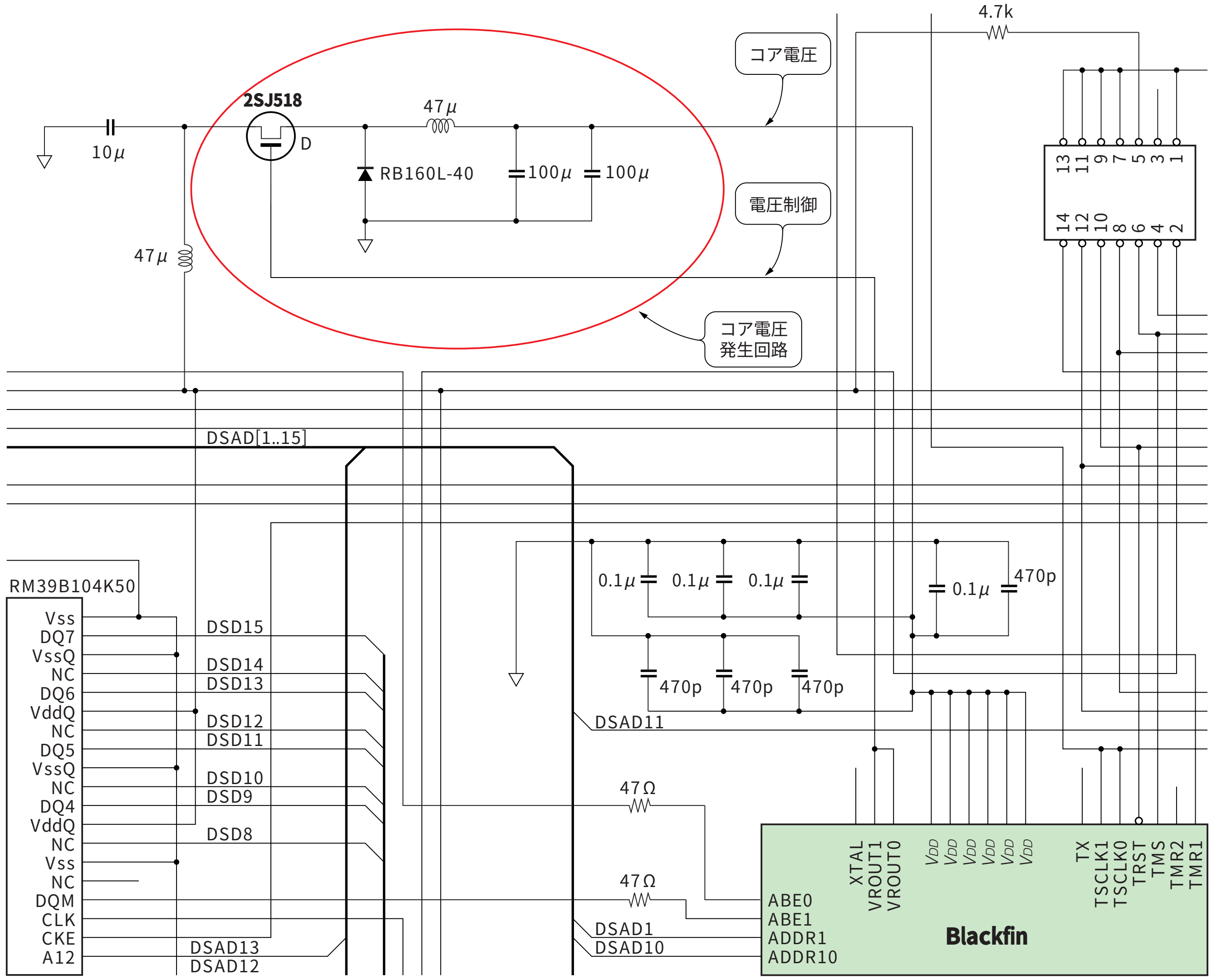
さて，話は変わりますが，人間が自動車事故にあったときや，高いところから落ちるなど，極度の緊張状態にあったとき，人は時間の進行を極端に遅く感じるといいます．幸い筆者はそのような経験はありませんが，景色がスロー・モーションのように見えたという話をよく聞きます．これは時間の流れが遅くなったのではなく，一時的に脳の働きが活発になり，時間方向の分解能が上がり，相対的に時間の流れがゆっくりになったと感じるのだそうです．このような状態のときは，脳を高速に働かせるため，ふだんより大量の血量が必要になり，エネルギーを供給しなければなりません．しかしこれを続けると，脳にかなりの負担がかかると思われます．そのため，ふだんは安全装置が働いており，特別の場合にしか起こらないというのです．これと同じことが，低消費電力設計の電子機器の中でも行われるようになってきています．

先にも述べましたが，最近の電子機器の中で使われるCMOS LSIでは，動作周波数と消費電流が比例します．また，最大動作周波数は落ちますが，動作電圧を下げると消費電流も下がり，2乗のオーダで消費電力が低下します．最近のノート・パソコンのほとんどは，この性質を利用したCPUの消費電力の動的管理を行っています．すなわち，どれくらい自分が忙しいか（処理の負荷が大きいか）をソフトウェアが判断し，ひまなときは動作周波数を下げ，CPUの動作電圧を下げて，できるだけ消費電力を下げ，電池を長持ちさせます．一方，忙しいとソフトウェアが判断したときは動作周波数を上げていき，同時にその周波数に対応するためにCPUの電圧も上げます．

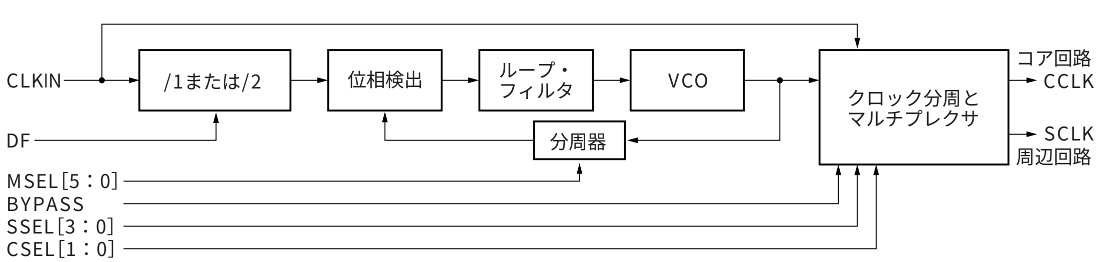
ノート・パソコンの一般的な使用状況では，文書入力など，それほど忙しい処理は行っていません．言い換えれば，CPUパワーをフルに使わなければならない場面はめったにありません．ほとんどCPUが遊んでいる状態です．したがって，こうした消費電力の動的管理は，バッテリを長持ちさせるのに絶大な威力を発揮します．

同じように組み込み機器においても，最近は動的な消費電力の管理が行われるようになりました．例えば，**図35(a)**はAnalog Devices社のBlackfinプロセッサの電源回路で，チョッパ型の回路が組み込まれており（電源制御のみ．外にインダクタやトランジスタ，そのほか若干の回路が必要），自身でコア電圧を制御できるようになっています．電圧は，0.8V～1.2Vで設定可能です．

それと同時に，**図35(b)**のようなPLLを含むクロック回路を備えており，数十MHz～600MHzくらいの範囲で，



(a) 電源回路



(b) PLLクロック制御ブロック

図35 Blackfinプロセッサのコア電源回路

ソフトウェアでコア電圧を切り替えられるように，Blackfinプロセッサはコア電圧発生用のスイッチング電源回路を内蔵している．(a)は外部に付加する回路の一部．また，ソフトウェアによって自身の動作周波数を変えるため，(b)のようなPLL(phase-locked loop)クロック制御ブロックを内蔵している．

ソフトウェアによってクロック周波数を変えられるようになっています．先ほどのコア電圧制御とあわせて使えば，かなり有効な動的消費電力管理を実現できます．これによる消費電力の削減の効果は，**表1**のように劇的なものです．

処理が速く終わって何もすることがないときは，クロック周波数を下げて電圧を下げれば，忙しいときだけ電気を消費する理想的なシステムが作り出せます．

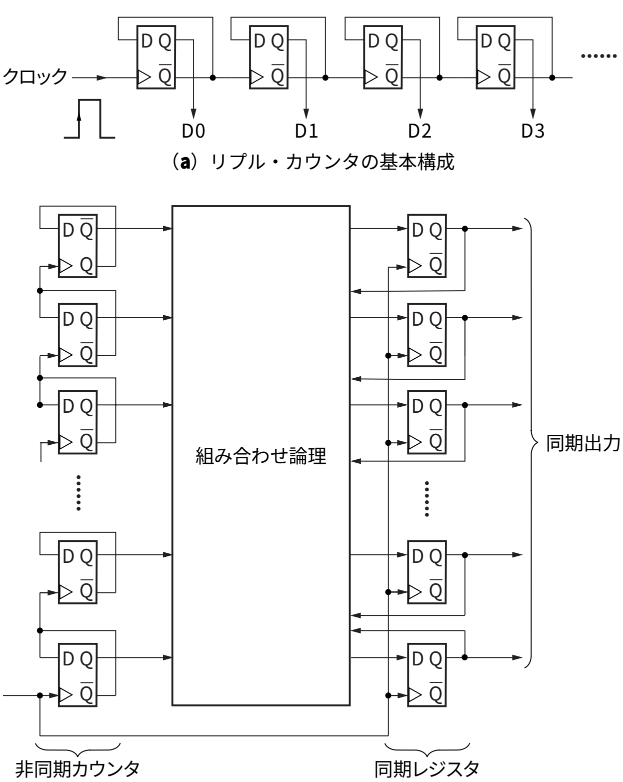
これらをいかにうまく使うかは，ソフトウェアしだいで



す．低消費電力設計といえば，従来はハードウェア技術者が考えるものでした．しかし，これからはソフトウェアの作りかたしだいで，性能が大きく変わる時代となってきています．つまりソフトウェア技術者も，低消費電力設計について，しっかりと意識することがたいせつです．

● 禁じ手の非同期回路を使う

FPGAやASICなどのディジタル回路設計では，「統一されたクロックに基づいて同期方式で設計しなさい」と厳しく教育されます．それは正しいことだと思います．例えば**図36（a）**のような非同期のリプル・カウンタの場合，ゲート遅延によりそれぞれの出力のタイミングが確定し，それぞれのけたの出力のタイミングはバラバラです．これらの出力を使い，さらに非同期回路を複雑に組み合わせると，もうタイミングを考えることは不可能になり，シミュレーションできなくなってきます．同期回路にしたほうが，確実に動作する回路を作りやすいのです．



（a）リプル・カウンタの基本構成

（b）リプル・カウンタを使った回路

図36　非同期リプル・カウンタ

非同期リプル・カウンタでは，各出力タイミングとクロックの間の遅延が，それぞれ違ってくる．（b）は非同期のリプル・カウンタを同期回路の中に取り込んだ例．現状ではすべてを非同期で設計することは難しいが，部分的であれば非同期回路を取り込むこともできる．

しかし，このような非同期回路をまったくの“悪”とすることは納得できません．シミュレーションしにくいだけなのです．確かに，どのような長いカウンタでも，どのけたの出力でも，同期回路であればクロックに対する出力遅延はある程度の範囲に収まります．しかし，多くのゲートが同時に変化し，また，非同期回路に比べて回路規模が大きくなりがちです．消費電流はどのくらい多くのCMOSゲートが変化するかで決まるので，同期回路は非同期回路よりかなり多くの電力を消費すると思われます．それに，同期回路の利点である「クロックと同期して，すべてのゲートが動作する」ということは，クロックに同期したかなり大きな電源リプルが発生するということです．一方，非同期回路では，それぞれの信号のタイミングがバラバラなので，電流の変化が一時期に集中しません．すなわち静かな回路を作ることができます．

そのため，低消費電力化を目ざす際に，あえて非同期回路を使うことはよくあります．ただし，回路全体ではなく一部の回路に使います．十分に特性を理解したうえで使うことが肝要です．

例えばカウンタを使って回路を設計するとき，**図36（b）**のように同期カウンタの代わりにリプル・カウンタを使います．低消費電力化のためと，ゲート数削減のためです．リプル・カウンタは，出力のタイミングを使った回路の後の信号をクロックでいったんレジスタに取り込み，同期をかければ，それ以降の同期回路に迷惑をかけることはありません．

リプル・カウンタの場合，前の段の出力が変わるときだけ入力が変化します．さらに後の段に行けば行くほど，変化は少なくなり，それに伴って電流も流れません．一方，同期カウンタは，段数に関係なくすべての段のレジスタに同じ高速クロックが供給され，クロックの速さで信号が変化します．すなわち，段数に関係なく多くの電流が流れます．回路面積も小さくなるので，低消費電力設計を行うときはこうした構成の採用を考えてみるのも一つの方法です．

4 メンバ全員が低消費電力化に対する意識を持つ

ここまでで説明してきた内容は，実際に低消費電力設計で苦労されている方から見れば，「まだまだ，手ぬるい！」かもしれません．ただ，低消費電力の機器を設計するため

には，回路設計者の努力だけではだめだということは，わかっていただけたのではないかと思います．商品企画からLSI設計，回路（ハードウェア）設計，アルゴリズム設計，ソフトウェア設計など，あるゆる分野のメンバが低消費電力化を意識しなければ，いいしごとはできません．

ここではあえて書きませんでしたが，ほんとうに困ったときは，あえてLSIを保証範囲外の仕様で使い，要求される低消費電力を実現することすらあります（決してお勧めはしないが…）．“常識”とされている事がらも見つめ直し，すべてを特別扱いしないで，電力を削減できないかどうか考えなければなりません．

● 低消費電力の技術は“総合力”

低消費電力設計を行う際の三つの方針を，以下にまとめます．

1）チリも積もれば山となる

トランジスタ1個の電流を0.5mA減らしたとしても，たいした影響はないと考えるかもしれません．しかし，それを100個集めると50mAも消費電流を削減できます．けしてばかにはできません．一般的な低消費電力化の手法は，だいたいだれもが思いつくやりかたです．商品化の際の消費電力の差は，このようなささいなところから生まれます．しかも，それはノウハウとして，なかなかほかにまねされにくい技術になります．

つまり，地道な電力削減の努力の積み重ねとして，大幅な低消費電力化が実現されるのです．チリも積もれば山となるのです．そのため，低消費電力設計のハウツウ本は存在しません．方法が設計ごとに異なるからです．

2）ソフトの組みかただって消費電力と無縁ではない

何度も書きましたが，今後は低消費電力設計においてソフトウェアの重要性が増すでしょう．こまめに使わない周辺回路の電源を切ったり，処理の忙しさを自身で計測しながら，きめ細かく動的にCPUの電力管理を実施しなければなりません．

優れたアルゴリズムを開発できれば，短いステップで同じ内容のしごとを実行でき，消費電力の少ない低い周波数でCPUを動作させることが可能となります．最近ではCPUのクロック周波数は高くなる一方ですが，無意味に高いクロック周波数を使うのは禁物です．ただのNOP（no operation）命令を実行するのに，レーシング・カーのような高性能なCPUを使っても意味はありません．低消費電力化を極める場合には，遊びの時間のほとんどない，ぎりぎりの低い周波数でCPUを動作させるための芸術的な制御ソフトウェアが求められることもあるでしょう．

3）進んだ低消費電力機器に学ぼう

消費電力をもっとも左右するのは，最初の商品企画段階の仕様策定です．企画そのものが悪くては，後でどれほど努力を重ねても，いいものは設計できません．低消費電力について言えば，後から何とかなることは絶対にありません．LSIの特性やソフトウェアの構造，アルゴリズムの知識など，総合的な設計の知識を総動員して企画を練っていかなければなりません．低消費電力の技術は“総合力”です．一つの考えかただけで決め手となるような理論は存在しません．

最近のLSIはブラックボックスになっており，入力端子や出力端子の等価回路が示されなくなってきています．しかし，低消費電力設計ではこの等価回路が絶対に必要です．わからないときは，実際に動作させてみれば，ある程度推測することが可能です．そのような情報がないと，なかなか極限の低消費電力化は難しくなります．このように，一般にはかならずしも公になっていないような情報が，低消費電力設計ではとてもたいせつです．

これらの優れた方法を学ぶためのいちばんのお勧めは，手元にある低消費電力機器と呼ばれる製品を分解し，中身を解析・研究することです．確実に新たな発見があるはずです．進んだ手法や考えかたに感心することがあるでしょう．

低消費電力技術は，ますますこれからの設計技術者にとって必須のものとなることでしょう．

にしむら・よしかず
（株）エーオーアール
ja6uhl@cqsstv.com

<筆者プロフィール>
西村芳一．1954年，長崎県長崎市生まれ．1977年，ソニー厚木テクノロジーセンター勤務，放送用ビデオ機器の開発設計に従事．1993年，タスコ電機長崎R&Dセンター開設，無線データ画像モデムの開発に従事．2001年，エーオーアールに移り，現在に至る．ディジタル無線機器関連の開発に従事．体重減らないなー！ 食事の低消費電力化もやらないと．